

Family list

1 family member for: **JP7013145**

Derived from 1 application

1 PRODUCTION OF THIN-FILM TRANSISTOR ARRAY SUBSTRATE

Inventor: TANAKA HIROHISA

Applicant: TOKYO SHIBAURA ELECTRIC CO;
TOSHIBA ELECTRONIC ENG

EC:

IPC: *G02F1/1333*; *G02F1/1343*; *G02F1/13* (+2

Publication info: **JP7013145 A** - 1995-01-17

Data supplied from the *esp@cenet* database - Worldwide

(19) Japanese Patent Office (JP)

(12) Laid-Open Disclosure Public Patent Bulletin

(11) Patent Application Laid-Open Number: Hei 7-13145

(43) Publication Date: January 17, 1995

5 Request for Examination: Not Made

Number of Claim: 2

(21) Application Number: Hei 5-157597

(22) Application Date: June 28, 1993

(71) Applicant: 000003078

10 TOSHIBA CORPORATION

72-ban-chi, Horikawa-cyo, Saiwai-ku, Kawasaki-shi, Kanagawa-ken

(71) Applicant: 000221339

TOSHIBA ELECTRONIC ENGINEERING CORPORATION

7-ban-chi-1, Nisshin-cyo, Kawasaki-ku, Kawasaki-shi, Kanagawa-ken

15 (72) Inventor: Hirohisa TANAKA

7-ban-chi-1, Nisshin-cyo, Kawasaki-ku, Kawasaki-shi, Kanagawa-ken

c/o TOSHIBA ELECTRONIC ENGINEERING CORPORATION

(74) Agent: Patent Attorney, Saichi SUYAMA

20 (54) [Title of Invention]

METHOD FOR MANUFACTURING THIN FILM TRANSISTOR ARRAY
SUBSTRATE

(57) [Abstract]

[Object]

The present invention is made to prevent a short-circuit between a black matrix and a signal line and improve manufacturing yield.

[Structure]

The present invention includes a substrate and the steps of: forming a thin film transistor on the substrate; forming an interlayer insulating layer on the thin film transistor; forming a conductive layer on the interlayer insulating layer in the same manner as a black matrix; changing the conductive layer into an insulating layer; and forming the black matrix that will be a light shielding layer on the insulating layer.

10 [Scope of Claims]

[Claim 1]

A method for manufacturing a thin film transistor array substrate, characterized by comprising a substrate and the steps of:

forming a thin film transistor on the substrate;

15 forming an interlayer insulating layer on the thin film transistor; and

forming a black matrix, that becomes a light shielding layer, on the interlayer insulating layer;

wherein after the step of forming the interlayer insulating layer and before the step of forming the black matrix, the method further comprises a step of forming a conductive layer on the interlayer insulating layer in the same manner as the black matrix and then changing the conductive layer into an insulating layer.

[Claim 2]

A method for manufacturing a thin film transistor array substrate, characterized by comprising a substrate and the steps of:

25 forming a thin film transistor on the substrate;

forming an interlayer insulating layer on the thin film transistor; and

forming a black matrix that becomes a light shielding layer on the interlayer insulating layer,

wherein after the step of forming the interlayer insulating layer and before the step of forming the black matrix, the method further comprises a step of forming an insulating layer and a conductive layer on the interlayer insulating layer in the same manner as the black matrix, and then changing the conductive layer into an insulating layer.

[Detailed Description of the Invention]

10 [0001]

[Field of Industrial Application]

The present invention relates to a method for manufacturing a thin film transistor array substrate, in particular, relates to a method for manufacturing a thin film transistor array substrate having a black matrix that is used in an active matrix type liquid crystal display device.

15 [0002]

[Related Art]

In recent years, since liquid crystal display devices have great advantages of a thin type, lightweight, and low power consumption, the liquid crystal display devices are used for display devices of office automation equipment such as a Japanese word processor and a desk-top personal computer. In addition, the improvement of a manufacturing technique and productivity of the liquid crystal display devices has been desired strongly. In particular, an active matrix type liquid crystal display device including a TFT array substrate in which three-terminal devices are connected to each display pixel as switches and a counter substrate with a counter electrode and a black matrix that is a light shielding layer has been attracting

attention since a large-size screen is easily obtained and the conventional semiconductor manufacturing technique can be applied to production of the active matrix type liquid crystal display device.

[0003]

5 With respect to the active matrix type liquid crystal display device, a demand for high-definition images has increased, and therefore, a structure in which a black matrix that is a light shielding layer is formed over a TFT array substrate rather than a counter substrate has been proposed recently. This structure allows to provide a high-definition liquid crystal display device by forming a black matrix between a signal line and a pixel electrode over the
10 array substrate to electrically disconnect the signal line from the pixel electrode, and hence, the liquid crystal display device has the following advantages: (1) since coupling capacitance between the signal line and the pixel electrode can be cut, cross talk due to the signal line can be prevented; (2) since a horizontal electric field due to the signal line over the pixel electrode can be eliminated, generation of a tilt reverse region can be inhibited; (3) since the black
15 matrix is directly formed on the array substrate, the accuracy of attaching the black matrix to the array substrate can be improved drastically; and (4) since the black matrix is connected to the counter electrode at a constant potential to be used as substitute for an auxiliary capacitance line (Cs line), the Cs line is unnecessary, thereby improving an aperture ratio significantly.

20 [0004]

A structure of a TFT array substrate having the above-mentioned structure, which is used in the conventional liquid crystal display device, and a manufacturing method thereof will be described with reference to FIG. 3. Further, in a cross sectional view of the conventional TFT array substrate as shown in FIG. 3, the TFT is an N-type polysilicon TFT
25 with a coplanar structure. A polysilicon layer 2, which will be an active layer, is formed on

a quartz substrate 1 by the chemical vapor deposition method (CVD method) and etched into an island-like shape. This polysilicon layer 2 is oxidized at a high temperature under an oxygen atmosphere to form a thermal oxide film that will be a gate insulating layer 3. Thereafter, a gate electrode 4 is formed by the CVD method and then etched. Under this condition, arsenic (As) is injected in the polysilicon layer 2 by the ion injection method by utilizing the gate electrode 4 as a self-aligning mask. Then arsenic (As) is activated by high temperature annealing to form high concentration impurity regions 5 and 6 in the polysilicon layer 2. Next, after forming a first interlayer insulating layer 7 by the CVD method, the first interlayer insulating layer 7 and the gate insulating layer 3 are etched so as to form a drain-side contact hole 8 and a first source-side contact hole 9, simultaneously. Subsequently, two-layered metal including aluminum (Al) alloy as a lower layer and tungsten silicide (WSi) as an upper layer, or the like is formed by the sputtering method. In this case, Al alloy that is the lower layer of the two-layered metal is formed to be in contact with the high concentration impurity regions 5 and 6 at the same time. By etching the two-layered metal, a signal line 10 and a contact wiring 11 including the two-layered metal wiring are formed. Further, a hydrogen passivation treatment is performed by a plasma CVD apparatus and the like so that an N-type polysilicon TFT is completed.

[0005]

Subsequently, a second interlayer insulating layer 12 is formed by the CVD method and the like. A material for a thin film with a light shielding property is next formed on the second interlayer insulating layer 12 by the sputtering method and etched to form a black matrix 13 that will be a light shielding layer. Subsequently, a third interlayer insulating layer 14 is formed by the CVD method and the like. The third interlayer insulating layer 14 and the second interlayer insulating layer 12 are next etched to form a second source-side contact hole 15. In this case, ITO that will be a pixel electrode is formed by the sputtering

method. At this moment, ITO is formed to be in contact with the WSi, which is the upper layer of the contact wiring 11, and then is etched to form a pixel electrode 16. The arraying step is thus completed.

[0006]

5 With respect to the above-described TFT array substrate, the black matrix 13 is made from high melting point metal such as chromium (Cr), tantalum (Ta), titanium (Ti) and tungsten (W), silicide of these substances, and the like, since these materials have a superior light shielding property and can maintain conductivity etc.

[0007]

10 The signal line 10 is generally made of a single layer of Al, a single layer of aluminum alloy such as Al-Si and Al-Si-Cu, a multilayer wiring including Al or Al alloy and other conductive material or an insulating material, e.g., Al/Cr, Mo/Al/Mo, Ti/Al, Ti/Ni-Si-Cu/W, or the like, in addition to the above-mentioned two-layered metal including aluminum (Al) alloy as the lower layer and tungsten silicide (WSi) as the upper layer. In
15 order to reduce the sheet resistance, the wiring material containing at least Al is used as the signal line. The reason for employing the multilayer wiring is that hillock generation of the after-mentioned Al is prevented.

[0008]

 The second interlayer insulating layer 12 is generally made by forming SiO₂ by using
20 an atmospheric thermal CVD apparatus (AP-CVD apparatus) or by forming SiN_x by using a plasma CVD apparatus (PE-CVD apparatus) at a temperature of 300 to 450°C that is lower than the melting point of Al. Since the signal line is made from a material containing Al or Al alloy, an oxide film (e.g., an HTO (high temperature oxide) formed by using a reduced pressure CVD apparatus, or the like) cannot be formed at a higher temperature than the
25 melting point of Al.

[0009]

[Problems to be Solved by the Invention]

However, when an insulating layer is formed on the signal line made from a wiring material containing Al at a temperature of 300 to 450°C, hillock is generated in Al. The coverage in forming the second interlayer insulating layer is deteriorated due to the generation of hillock, thereby causing defect coverage in a position where the hillock is generated, wherein the insulating layer is not adhered to the signal line. The generation of hillock can be partly prevented by forming the above mentioned multilayer wiring as the signal line. However, the multilayer wiring cannot prevent the generation of hillock sufficiently. In addition, the insulating layer formed at a low temperature has many pinholes therein. Therefore, a short-circuit is easily caused between the black matrix 13 and the signal line 10 formed on the second interlayer insulating layer. Since this black matrix is connected to the counter electrode at a constant potential, when the short-circuit is caused between the black matrix and the signal line, the potential of the signal line is changed to the potential of the counter electrode, thereby causing a line defect. Consequently, a problem of decreasing the manufacturing yield in a step of manufacturing the active matrix type liquid crystal display device having the TFT array substrate is posed.

[0010]

As a countermeasure for preventing the short-circuit between the black matrix and the signal line, there is a technique in which the second interlayer insulating layer is formed to have a multilayer structure such as two layers of $\text{SiO}_2/\text{SiN}_x$ and three layers of $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$. However, when the defect coverage is caused in forming a lower layer of the insulating layer, the defect coverage cannot be prevented even in the case of the multilayer structure, and therefore, it is difficult to prevent the short-circuit between the layers. As another countermeasure for preventing the short-circuit between the layers, there is a technique in

which the signal line is covered with an insulating layer after forming the signal line and before forming the second interlayer insulating layer. For example, in the case where the signal line is made form a single layer of Al or Al alloy, the surface of the signal line is oxidized by the thermal oxidization method to form an insulating layer. Also, in the case
5 where the signal line is made by a multilayer film, the surface of the signal line is subjected to thermal oxidization to form an insulating layer. However, it is difficult to prevent the hillock generated in forming the second interlayer insulating layer even in the case of covering the surface of the signal line with the insulating layer. Accordingly, the defect coverage is caused so that it is difficult to prevent the short-circuit between the layers.

10 [0011]

The present invention is made in view of the above mentioned problems. It is an object of the invention to provide a method for manufacturing a TFT array substrate that can prevent a short-circuit between a black matrix and a signal line and can improve the manufacturing yield.

15 [0012]

[Means for Solving the Problems]

In an aspect of the invention, a method for manufacturing a TFT array substrate is characterized by including a substrate and the steps of: forming a TFT on the substrate; forming an interlayer insulating layer on the TFT; and forming a black matrix that will be a
20 light shielding layer on the interlayer insulating layer, wherein after the step of forming the interlayer insulating layer and before the step of forming the black matrix, the method further includes the steps of forming a conductive layer on the interlayer insulating layer by using a same method as the black matrix and then changing the conductive layer into an insulating layer.

25 [0013]

In another aspect of the invention, a method for manufacturing a TFT array substrate is characterized by including the steps of forming a conductive layer using a conductive material on the interlayer insulating layer by the same method as the insulating layer and the black matrix, and changing the conductive layer into an insulating layer, instead of the step of
5 changing the conductive layer, which is formed by the same method as the black matrix, into the insulating layer.

[0014]

The black matrix and the conductive layer according to the invention are formed by using conventional materials, e.g., high melting point metal such as Cr, Ta, Ti and W,
10 tungsten silicide, silicide of these substances, Al, Al alloy, and the like. Also, as the conductive layer, a single layer of these materials or a composite layer such as a lamination body thereof can be used. Further, the black matrix and the conductive layer can be formed by known methods such as the sputtering method, the evaporation method and the CVD method. Although the method for forming the black matrix and the conductive layer is not
15 particularly limited, a method for forming the conductive layer by using a conductive material is especially preferable.

[0015]

As a method for changing a conductive layer formed on an interlayer insulating layer into an insulating layer, the known thermal oxidation method, anode oxidation method or the
20 like can be used. Additionally, an insulating layer is newly formed on the interlayer insulating layer by the reactive sputtering method. Moreover, the above-described conductive layer can be formed on the insulating layer formed by using the reactive sputtering method and then can be changed into an insulating layer.

[0016]

25 The TFT substrate according to the invention can be applied to a TFT having various

types of structures such as a planar structure TFT. Also, an active layer can be made from polysilicon, amorphous silicon, single crystal silicon, and the like. The type of the TFT may be either an N-type or a P-type.

[0017]

5 [Influence]

An influence of preventing the short-circuit between the black matrix and the signal line in the TFT substrate manufactured according to the manufacturing method of the present invention will be described with reference to FIG. 4 and FIG. 5. FIG. 4 is a schematic view in the case where the short-circuit is caused between the layers. FIG. 5 is a schematic view in the case where the short-circuit can be prevented between the layers according to the manufacturing method of the invention. Further, reference numerals in FIG. 4 and FIG. 5 are identical to those of the after-described embodiment.

[0018]

In FIG. 4, A' indicates a coverage defect portion with a small area in the second interlayer insulating layer whereas B' indicates a coverage defect portion with a large area in the second interlayer insulating layer. When forming an insulating layer (that is W formed by the sputtering method in the after-described embodiment) and a black matrix layer (that is WSi formed by the sputtering method in the after-described embodiment) according to the invention, it is provided that the portion A' is not covered whereas the portion B' is covered. The same can be said for an portion A part and a portion B of FIG. 5.

[0019]

In FIG. 4, the portion B' is a location where the short between the signal line and the black matrix occurs. However, the portion A' is in an open state after the formation of the black matrix since it is not covered by sputtering.

25 [0020]

On the other hand, in FIG. 5, since the portion B is covered by the sputtering method, the portion B is covered when forming the conductive layer formed on the second interlayer insulating layer and then all the portion B becomes an insulating layer in the step of changing the conductive layer into the insulating layer. Therefore, the signal line and the black matrix are not short circuited to each other in the portion B of FIG. 5.

[0021]

Also, the portion A of FIG. 5 is not covered by the sputtering method. Therefore, the portion A is not covered when forming the conductive layer formed on the second interlayer insulating layer, and a hole remains in the portion A. The portion A is not covered with the black matrix in forming the black matrix. That is, the signal line and black matrix are disconnected to each other in the portion A of FIG. 5 as well as the portion A' of FIG. 4 so that the short-circuit between the layers is not caused. Accordingly, the short-circuit is not caused between the signal line and the black matrix in the both portions A and B in FIG. 5.

[0022]

[Embodiments]

The present invention will be described in more detail below with reference to the drawings.

Embodiment 1

FIG. 1 is a cross sectional view of an N-type polysilicon TFT array substrate with a coplanar structure obtained according to the manufacturing method of the present invention. A polysilicon film 2 that will be an active layer is formed on a quartz substrate 1 by the chemical vapor deposition method (CVD method) and is etched into an island-like shape. This polysilicon layer 2 is oxidized at a high temperature under an oxygen atmosphere to form a thermal oxide film that will be a gate insulating layer 3. Thereafter, a gate electrode 4 is formed by the CVD method and then etched. In this state, arsenic (As) is injected into

the polysilicon layer 2 by the ion injection method by utilizing the gate electrode 4 as a self-aligning mask and then As is activated by high temperature annealing so as to form high concentration impurity regions 5 and 6 in the polysilicon layer 2. Next, after forming a first interlayer insulating layer 7 by the CVD method, the first interlayer insulating layer 7 and the gate insulating layer 3 are etched to form a drain-side contact hole 8 and a first source-side contact hole 9, simultaneously. Subsequently, two-layered metal including aluminum (Al) alloy as a lower layer and tungsten silicide (WSi) as an upper layer is formed by the sputtering method. At this moment, Al alloy, which is the lower layer of the two-layered metal, is simultaneously contacted to the high concentration impurity regions 5 and 6. By etching the two-layered metal, a signal line 10 and a contact wiring 11 including the two-layered metal are formed. A hydrogen passivation treatment is carried out by a plasma CVD apparatus or the like, thereby achieving an N-type polysilicon TFT.

[0023]

Subsequently, a second interlayer insulating layer 12 is formed by the CVD method. Here, W is formed by the sputtering method. In addition, the W is subjected to a heat treatment under an oxygen atmosphere so as to oxidize the W, thereby forming a new second interlayer insulating layer 17. Next, WSi is formed on the new second interlayer insulating layer 17 and etched to form a black matrix 13 that will be a light shielding layer. Subsequently, a third interlayer insulating layer 14 is formed by the CVD method. The third interlayer insulating layer 14, the new second interlayer insulating layer 17 and the second interlayer insulating layer 12 are simultaneously etched to form a second source-side contact hole 15. Then, ITO that will be a pixel electrode is formed by the sputtering method. At this moment, ITO is formed to be in contact with WSi, which is the upper layer of the contact wiring 11, and then is etched to form a pixel electrode 16. An arraying step is thus be completed.

[0024]

An active matrix type liquid crystal display device is assembled using the thus-obtained TFT array by an ordinary method. When the active matrix type liquid crystal display device is activated, an image can be displayed without line defects, and hence, it is confirmed that the short-circuit is not caused between the layers.

[0025] Embodiment 2

FIG. 2 is a cross sectional view of an N-type polysilicon TFT array substrate with a coplanar structure obtained according to the manufacturing method of the invention. The N-type polysilicon TFT and the second interlayer insulating layer by using the CVD method and the like are manufactured in the same manner as the manufacturing steps of Embodiment 1. Subsequently, an insulating layer 18 is formed using SiO_2 by the sputtering method. Thereafter, W is formed and is subjected to a heat treatment under an oxygen atmosphere to oxidize W, thereby forming a new second interlayer insulating layer 17. Next, WSi is formed on the new second interlayer insulating layer 17 and etched to form a black matrix 13 that will be a light shielding layer. Subsequently, a third interlayer insulating layer 14 is formed by the CVD method. Next, the third interlayer insulating layer 14, the new second interlayer insulating layer 17 and the second interlayer insulating layer 12 are simultaneously etched to form a second source-side contact hole 15. In this case, ITO that will be a pixel electrode is formed by the sputtering method. At this moment, ITO is formed to be in contact with WSi, which is the upper layer of the contact wiring 11, and etched so as to form a pixel electrode 16. The arraying step is thus be completed.

[0026]

When an active matrix type liquid crystal display device is assembled using the thus-obtained TFT array by an ordinary method and the device is activated, an image is displayed without line defects, and hence, it is confirmed that the short-circuit between the

layers is not caused.

[0027]

[Effect of the Invention]

Since the method for manufacturing the TFT array substrate of the invention
5 comprises a step of forming the conductive layer on the interlayer insulating layer in the same
manner as the black matrix and changing the conductive layer into the insulating layer, the
coverage defect of the interlayer insulating layer can be suppressed, thereby preventing the
short-circuit between the signal line and the black matrix. As a consequence, the TFT array
substrate with a superior manufacturing yield can be obtained. Moreover, line defects in
10 displayed image of the active matrix type liquid crystal display device using this TFT array
substrate can be improved significantly.

[Brief Description of the Drawings]

[FIG. 1] FIG. 1 is a cross sectional view of a TFT array substrate obtained according to a
method of Embodiment 1;

15 [FIG. 2] FIG. 2 is a cross sectional view of a TFT array substrate obtained according to a
method of Embodiment 1;

[FIG. 3] FIG. 3 is a cross sectional view of a conventional TFT array substrate;

[FIG. 4] FIG. 4 is a schematic view in the case where short-circuit is caused between layers;
and

20 [FIG. 5] FIG. 5 is a schematic view in the case where a short-circuit between layers can be
prevented according to the manufacturing method of the invention.

[Description of Reference Numerals]

1: quartz substrate, 2: polysilicon layer, 3: gate insulating layer, 4: gate electrode, 5, 6: high
concentration impurity region, 7: first interlayer insulating layer, 8: drain-side contact hole, 9:
25 first source-side contact hole, 10: signal line, 11: contact wiring, 12: second interlayer

insulating layer, 13: black matrix, 14: third interlayer insulating layer, 15: second source-side contact hole, 16: pixel electrode, 17: new second interlayer insulating layer, 18: insulating layer

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-13145

(43) 公開日 平成7年(1995)1月17日

(51) Int. Cl. ⁶

G02F 1/1333
1/1343

識別記号

505

9225-2K

8707-2K

F I

審査請求 未請求 請求項の数2 O L (全6頁)

(21) 出願番号

特願平5-157597

(22) 出願日

平成5年(1993)6月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221339

東芝電子エンジニアリング株式会社

神奈川県川崎市川崎区日進町7番地1

(72) 発明者 田中 裕久

神奈川県川崎市川崎区日進町7番地1 東

芝電子エンジニアリング株式会社内

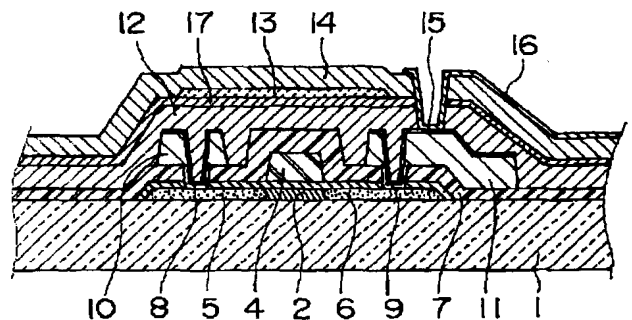
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 薄膜トランジスタアレイ基板の製造方法

(57) 【要約】

【目的】 ブラックマトリクスと信号線との間における層間ショートを防止し、製造歩留まりを向上させる。

【構成】 基板と、この基板上に薄膜トランジスタを形成する工程と、薄膜トランジスタ上に層間絶縁層を形成する工程と、ブラックマトリクスの形成方法と同一の方法で導電層を層間絶縁層上に形成し、ついでこの形成された導電層を絶縁層に変化させる工程と、この絶縁層上に遮光層となるブラックマトリクスを形成する工程とを有する。



【特許請求の範囲】

【請求項 1】 基板と、この基板上に薄膜トランジスタを形成する工程と、前記薄膜トランジスタ上に層間絶縁層を形成する工程と、前記層間絶縁層上に遮光層となるブラックマトリクスを形成する工程とを有する薄膜トランジスタアレイ基板の製造方法において、前記層間絶縁層を形成する工程の後であって前記ブラックマトリクスを形成する工程の前に、前記ブラックマトリクスの形成方法と同一の方法で導電層を前記層間絶縁層上に形成し、ついでこの形成された導電層を絶縁層に

【請求項 2】 基板と、この基板上に薄膜トランジスタを形成する工程と、前記薄膜トランジスタ上に層間絶縁層を形成する工程と、前記層間絶縁層上に遮光層となるブラックマトリクスを形成する工程とを有する薄膜トランジスタアレイ基板の製造方法において、前記層間絶縁層を形成する工程の後であって前記ブラックマトリクスを形成する工程の前に、絶縁層および前記ブラックマトリクスの形成方法と同一の方法で形成された導電層を前記層間絶縁層上に形成し、ついでこの形成された導電層を絶縁層に変化させる工程を有することを特徴とする薄膜トランジスタアレイ基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜トランジスタアレイ基板の製造方法に関し、とくにアクティブマトリクス型の液晶表示装置に使用されるブラックマトリクスを有する薄膜トランジスタアレイ基板の製造方法に関する。

【0002】

【従来の技術】 近年、液晶表示装置は、薄型軽量、低消費電力という大きな利点をもつため、日本語ワードプロセッサやデスクトップパーソナルコンピュータ等のOA機器の表示装置に多用されており、それと共に、液晶表示装置の製造技術や生産性の向上が強く望まれている。とくに、薄膜トランジスタ（以下、TFTと称する。）などの 3端子装置を表示画素の 1つ1つにスイッチとして接続したTFTアレイ基板と、対向電極および遮光層であるブラックマトリクスを有する対向基板とから構成されているアクティブマトリクス型の液晶表示装置は、大画面が得られやすいこと、製造に従来の半導体製造技術が応用できることなどから注目されている。

【0003】 アクティブマトリクス型の液晶表示装置において、高精細化の要望が高まり遮光層であるブラックマトリクスを対向基板でなく、TFTアレイ基板側に形成する構造が近年提案されている。これはブラックマトリクスをアレイ基板上の信号線と画素電極間に形成して両者の間を電氣的に遮断することにより、以下の利点を有するため、高精細液晶表示装置が得られるからである。1) 信号線と画素電極間のカップリング容量を切る

ことができるため、信号線によるクロストークをなくすることができる。2) 画素電極上での信号線による横方向電界をなくすることができるため、チルトリバース領域の発生を抑えることができる。3) ブラックマトリクスをアレイ基板上に直接形成するため、ブラックマトリクスのアレイ基板への合わせ精度を大幅に改善することができる。4) ブラックマトリクスを対向電極に接続し一定電位とし補助容量線（Cs線）の代わりに用いることができるので、Cs線が不要となり開口率を大幅に向上することができる。

【0004】 従来の液晶表示装置に使用されている上述の構造を有するTFTアレイ基板の構成および製造方法について図3を参照して説明する。なお、図3に示す従来のTFTアレイ基板の断面図において、TFTはコプラナ構造N型ポリシリコンTFTとした。石英基板1上に活性層となるポリシリコン層2を気相化学堆積法（CVD法）により成膜して島状にエッチングを行う。このポリシリコン層2を高温、酸素雰囲気中にて酸化することにより、ゲート絶縁層3となる熱酸化膜を形成した後、再びCVD法によりゲート電極4を成膜しエッチングを行う。この状態においてゲート電極4をセルフアラインマスクとしてイオン注入法により砒素（As）をポリシリコン層2に注入した後、高温アニールにより砒素（As）を活性化することでポリシリコン層2中に高濃度不純物領域5および6を形成する。つぎにCVD法により第1層間絶縁層7を成膜した後、第1層間絶縁層7とゲート絶縁層3とをエッチングすることによりドレイン側コンタクトホール8と第1ソース側コンタクトホール9とを同時に開口する。つぎにアルミニウム（Al）合金を下層膜、タングステンシリサイド（WSi）を上層膜とした2層金属等をスパッタリング法により成膜する。このとき2層金属の下層膜であるAl合金は、高濃度不純物領域5および6に対して同時に接触することとなる。この2層金属をエッチングすることにより2層金属配線を有する信号線10および接触用配線11を形成する。さらにプラズマCVD装置等により水素パッシベーション処理を行うことでN型ポリシリコンTFTが完成する。

【0005】 続いて再びCVD法等により第2層間絶縁層12を成膜する。つぎに遮光特性を有する薄膜材料を第2層間絶縁層12上にスパッタリング法により成膜して、エッチングすることにより、遮光層となるブラックマトリクス13を形成する。続いて再びCVD法等により第3層間絶縁層14を成膜する。つぎに第3層間絶縁層14と第2層間絶縁層12とをエッチングすることにより第2ソース側コンタクトホール15を開口する。ここで、画素電極であるITOをスパッタリング法により成膜する。このときITOは接触用配線11の上層膜であるWSiと接触をとりエッチングすることにより画素電極16を形成する。以上でアレイ工程が終了する。

【0006】上述のTFTアレ基板において、ブラックマトリクス13は遮光特性が優れていること、導電性を維持できること等から、クロム(Cr)、タンタル(Ta)、チタン(Ti)、タングステン(W)等の高融点金属およびそれらの珪化物が材料として用いられている。

【0007】信号線10は、上述のアルミニウム(Al)合金を下層膜、タングステンシリサイド(WSi)を上層膜とした2層金属の他に、Al単層、Al-SiやAl-Si-Cuのようなアルミニウム合金単層膜、またはAl、Al合金と他の導電性材料、絶縁性材料との多層配線、たとえば、Al/Cr、Mo/Al/Mo、Ti/Al、Ti/Ni-Si-Cu/W等で形成するのが一般的である。信号線に少なくともAlを含む配線材料が用いられる理由は配線のシート抵抗を小さくするためであり、多層配線とする理由は以下にのべるAlのヒロック発生を主として防止するためである。

【0008】第2層間絶縁層12は、常圧熱CVD装置(AP-CVD装置)によりSiO₂や、またはプラズマCVD装置(PE-CVD装置)によりSiN_xをAlの融点より低い300℃から450℃の温度で成膜するのが一般的である。これはすでにAlまたはAl合金を含む材料で信号線が形成されているため、成膜温度がAlの融点より高い酸化膜(たとえば減圧CVD装置により成膜するHTO(High Temperature Oxide)等)を成膜できないためである。

【0009】

【発明が解決しようとする課題】しかしながら、Alを含む配線材料からなる信号線上に300℃から450℃の温度で絶縁層を成膜するとAlにヒロックが発生する。このヒロックの発生は、第2層間絶縁層成膜時のカバレッジを悪化させ、ヒロック発生箇所において絶縁層が付着されていないカバレッジ不良を起こす。信号線を上述の多層配線とすることで、ヒロックの発生を一部防止することができるが、十分ではない。さらに、低温度で成膜される絶縁層は多くのピンホールを膜中に有している。このため、第2層間絶縁層上に形成されるブラックマトリクス13と信号線10との間において層間ショートが発生しやすくなる。このブラックマトリクスは対向電極電位に接続され一定電位となっているため、信号線との間において層間ショートが発生した場合、その信号線の電位は対向電極電位となってしまうため線欠陥を生じることとなる。その結果、TFTアレ基板を用いるアクティブマトリクス型液晶表示装置の製造工程において製造歩留まりが低下するという問題がある。

【0010】ブラックマトリクスと信号線との間における層間短ートを防止する手段として、第2層間絶縁層をSiO₂/SiN_xの2層、またはSiO₂/SiN_x/SiO₂の3層のように多層構造とする方法がある。しかし、最下層の絶縁層形成時にカバレッジ不良が

発生すると、多層構造としてもカバレッジ不良を抑えきれず、層間短ートを防止することは困難である。層間短ートを防止する他の手段として、信号線形成後であって第2層間絶縁層形成前に信号線を絶縁層で覆ってしまう方法がある。たとえば、信号線がAlまたはAl合金単層で形成されている場合は信号線表面を陽極酸化法により酸化して絶縁層とする方法や、信号線が多層膜で形成されている場合は信号線表面を熱酸化により絶縁層とする方法である。しかし、信号線表面を絶縁層で覆っても第2層間絶縁層形成時に発生するヒロックを防止することは困難である。このため、カバレッジ不良が発生してしまい、層間短ートを防止することは困難である。

【0011】本発明は、かかる課題に対処してなされたもので、ブラックマトリクスと信号線との間における層間短ートを防止し、製造歩留まりを向上させることのできるTFTアレ基板の製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明のTFTアレ基板の製造方法は、基板と、この基板の上にTFTを形成する工程と、TFT上に層間絶縁層を形成する工程と、層間絶縁層上に遮光層となるブラックマトリクスを形成する工程とを有するTFTアレ基板の製造方法において、層間絶縁層を形成する工程の後であってブラックマトリクスを形成する工程の前に、ブラックマトリクスの形成方法と同一の方法で導電層を層間絶縁層上に形成し、ついでこの形成された導電層を絶縁層に変化させる工程を有することを特徴とする。

【0013】また、他の本発明のTFTアレ基板の製造方法はブラックマトリクスの形成方法と同一の方法で形成された導電層を絶縁層に変化させる工程の代わりに、絶縁層およびブラックマトリクスの形成方法と同一の方法で導電性材料からなる導電層を層間絶縁層上に形成し、ついでこの形成された導電層を絶縁層に変化させる工程を有することを特徴とする。

【0014】本発明に係わるブラックマトリクスおよび導電層は、従来の材料であるCr、Ta、Ti、W等の高融点金属およびタングステンシリサイドなどそれらの珪化物等、Al、Al合金等を用いて形成できる。さらに導電層として、材料単体層またはこれらの積層体など複合層が使用できる。またこれらブラックマトリクスおよび導電層の形成方法は、スパッタリング法、蒸着法、CVD法など公知の方法で行うことができ制限はないが、導電性材料から導電層を形成できる方法がとくに好ましい。

【0015】層間絶縁層上に形成された導電層を絶縁層に変化させる方法は、公知の熱酸化法、陽極酸化法等を使用することができる。また、反応性スパッタリング法を用いて層間絶縁層上に新たに絶縁層を形成することも

10

20

30

40

50

できる。さらに反応性スパッタリング法を用いて形成された絶縁層上に上述の導電層を形成し、ついで絶縁層に変化させることもできる。

【0016】本発明に係わるTFT基板はプレーナー構造TFTなど種々の構造のTFTに適用できる。また、活性層はポリシリコン、アモルファスシリコン、単結晶シリコン等を使用することができ、TFTの形式はN型、P型いずれでもよい。

【0017】

【作用】本発明の製造方法により製造されたTFT基板におけるブラックマトリクスと信号線との間における層間ショートを防止する作用について図4および図5を用いて説明する。図4は層間ショートを起こす場合であり、図5は層間ショートを防止できる本発明の製造方法による場合の模式図である。なお、図4および図5において図面の番号は以下に述べる実施例と同一とした。

【0018】図4において、A'を第2層間絶縁層の小さな領域のカバレッジ不良部分、B'を大きな領域のカバレッジ不良部分とし、本発明の製造方法により形成される絶縁層（以下に述べる実施例ではスパッタリング法により成膜されるW）およびブラックマトリクス層（以下に述べる実施例ではスパッタリング法により成膜されるWSi）の成膜時において、A'部分にはカバレッジしないが、B'部分にはカバレッジするものとする。また同様なことが図5のAおよびBの部分についてもいえるものとする。

【0019】図4において、B'部分が信号線とブラックマトリクス間の層間ショートが発生する場所である。しかしながら、スパッタリング法によりカバレッジされないA'部分は、ブラックマトリクス成膜後もオープン状態となる。

【0020】一方、図5において、B部分はスパッタリング法によりカバレッジされる部分なのであるから、第2層間絶縁層上に形成される導電層の成膜時にカバレッジされ、その後の導電層を絶縁層に変化させる工程により全て絶縁層となる。したがって図5におけるB部分には信号線とブラックマトリクス間の層間ショートが発生しない。

【0021】また、図5におけるA部分はスパッタリング法によりカバレッジされない部分である。したがってA部分は第2層間絶縁層上に形成される導電層の成膜時にもカバレッジされないでホールが開いたままの状態となるが、ブラックマトリクスの成膜時にもカバレッジされない部分である。つまり図5におけるA部分は、図4におけるA'部分と同様、信号線とブラックマトリクスとの間はオープン状態であり、層間ショートは発生しない。それゆえ図5においては、A部分およびB部分の両部分において信号線とブラックマトリクスとの間に層間ショートは発生しない。

【0022】

【実施例】以下、本発明を図面を参照して詳細に説明する。

実施例1

図1は本発明の製造方法により得られるコプラナ構造N型ポリシリコンTFTアレイ基板の断面図である。石英基板1上に活性層となるポリシリコン層2を気相化学堆積法（CVD法）により成膜して島状にエッチングを行う。このポリシリコン層2を高温、酸素雰囲気中にて酸化することにより、ゲート絶縁層3となる熱酸化膜を形成した後、再びCVD法によりゲート電極4を成膜しエッチングを行う。この状態においてゲート電極4をセルフアラインマスクとしてイオン注入法により砒素（As）をポリシリコン層2に注入した後、高温アニールにより砒素（As）を活性化することでポリシリコン層2中に高濃度不純物領域5および6を形成する。つぎにCVD法により第1層間絶縁層7を成膜した後、第1層間絶縁層7とゲート絶縁層3とをエッチングすることによりドレイン側コンタクトホール8と第1ソース側コンタクトホール9とを同時に開口する。つぎにアルミニウム（Al）合金を下層膜、タングステンシリサイド（WSi）を上層膜とした2層金属等をスパッタリング法により成膜する。このとき2層金属の下層膜であるAl合金は、高濃度不純物領域5および6に対して同時に接触することとなる。この2層金属をエッチングすることにより2層金属配線を有する信号線10および接触用配線11を形成する。さらにプラズマCVD装置等により水素パッシベーション処理を行うことでN型ポリシリコンTFTが完成する。

【0023】続いて再びCVD法等により第2層間絶縁層12を成膜する。ここで、スパッタリング法によりWを成膜する。さらに酸素雰囲気中においてWを熱処理することにより、成膜したWを全て酸化させて新第2層間絶縁層17を形成する。つぎにWSiを新第2層間絶縁層17上に成膜しエッチングすることにより、遮光層となるブラックマトリクス13を形成する。続いて再びCVD法等により第3層間絶縁層14を成膜する。つぎに第2ソース側コンタクトホール15を第3層間絶縁層14、新第2層間絶縁層17および第2層間絶縁層12を同時にエッチングすることにより開口する。ここで、画素電極であるITOをスパッタリング法により成膜する。このときITOは接触用配線11の上層膜であるWSiと接触をとりエッチングすることにより画素電極16を形成する。以上でアレイ工程が終了する。

【0024】得られたTFTアレイを用いて、常法によりアクティブマトリクス型液晶表示装置を組み立て、点灯したところ線欠陥のない表示が得られ、層間ショートのないことが確認された。

【0025】実施例2

図2は本発明の製造方法により得られるコプラナ構造N型ポリシリコンTFTアレイ基板の断面図である。N型

ポリシリコンTFTの作製およびCVD法等による第2層間絶縁層12の作製工程までは実施例1と同一の工程で行った。ついで、スパッタリング法により SiO_2 からなる絶縁層18を成膜した後、Wを成膜しさらに酸素雰囲気中においてWを熱処理することにより、成膜したWを全て酸化させて新第2層間絶縁層17を形成する。つぎにWSiを新第2層間絶縁層17上に成膜しエッチングすることにより、遮光層となるブラックマトリクス13を形成する。続いて再びCVD法等により第3層間絶縁層14を成膜する。つぎに第2ソース側コンタクトホール15を第3層間絶縁層14、新第2層間絶縁層17および第2層間絶縁層12を同時にエッチングすることにより開口する。ここで、画素電極であるITOをスパッタリング法により成膜する。このときITOは接触用配線11の上層膜であるWSiと接触をとりエッチングすることにより画素電極16を形成する。以上でアレイ工程が終了する。

【0026】得られたTFTアレイを用いて、常法によりアクティブマトリクス型液晶表示装置を組み立て、点灯したところ線欠陥のない表示が得られ、層間ショート

【0027】

【発明の効果】本発明のTFTアレイ基板の製造方法は、ブラックマトリクスの形成方法と同一の方法で導電層を層間絶縁層上に形成し、ついでこの形成された導電層を絶縁層に変化させる工程を有するので、層間絶縁層

のカバレッジ不良を抑えることができ、信号線とブラックマトリクスとの間の層間ショートなくすことができる。その結果、製造歩留まりの優れたTFTアレイ基板が得られる。さらに、このTFTアレイ基板を用いたアクティブマトリクス型液晶表示装置の線欠陥表示を大幅に改善できる。

【図面の簡単な説明】

【図1】実施例1の方法により得られるTFTアレイ基板の断面を示す図である。

【図2】実施例1の方法により得られるTFTアレイ基板の断面を示す図である。

【図3】従来のTFTアレイ基板の断面を示す図である。

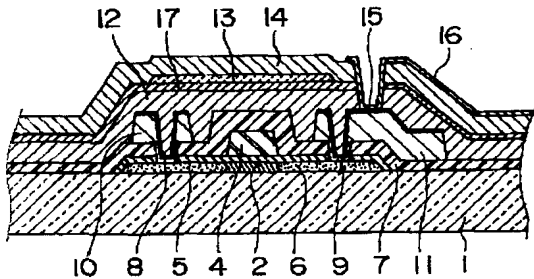
【図4】層間ショートを起こす場合の模式図である。

【図5】層間ショートを防止できる本発明の製造方法による場合の模式図である。

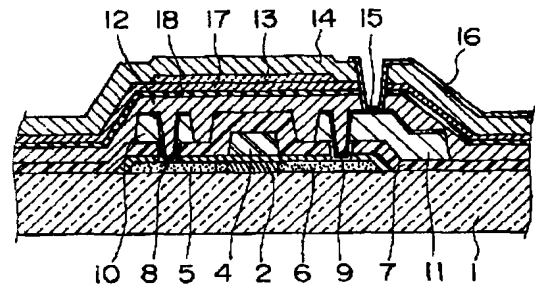
【符号の説明】

1………石英基板、2………ポリシリコン層、3………ゲート絶縁層、4………ゲート電極、5、6………高濃度不純物領域、7………第1層間絶縁層、8………ドレイン側コンタクトホール、9………第1ソース側コンタクトホール、10………信号線、11………接触用配線、12………第2層間絶縁層、13………ブラックマトリクス、14………第3層間絶縁層、15………第2ソース側コンタクトホール、16………画素電極、17………新第2層間絶縁層、18………絶縁層。

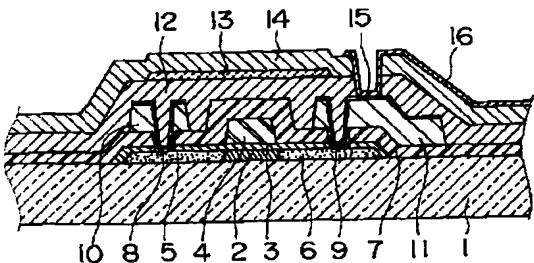
【図1】



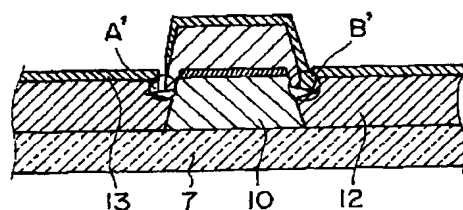
【図2】



【図3】



【図4】



【図 5】

